

Dynamic random-access memory layout - has diffusion zones formed in common for two adjacent memory cells separated by channel zone at angle to word and bit lines

Patent Assignee: GOLDSTAR ELECTRON CO LTD; LG SEMICONDUCTOR CO LTD

Inventors: LEE H G; LEE H

Patent Family							
Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
DE 4238801	A1	19930909	DE 4238801	A	19921117	199337	B
JP 5291532	A	19931105	JP 92203810	A	19920730	199349	
US 5378906	A	19950103	US 9326387	A	19930304	199507	
US 5457064	A	19951010	US 9326387	A	19930304	199546	
			US 94366936	A	19941230		
KR 9511636	B1	19951007	KR 923546	A	19920304	199849	
DE 4238801	C2	20021031	DE 4238801	A	19921117	200273	

Priority Applications (Number Kind Date): KR 923546 A (19920304)

Patent Details					
Patent	Kind	Language	Page	Main IPC	Filing Notes
DE 4238801	A1		20	H01L-027/108	
JP 5291532	A			H01L-027/108	
US 5378906	A		19	H01L-029/68	
US 5457064	A		18	H01L-021/8242	Div ex application US 9326387
					Div ex patent US 5378906
KR 9511636	B1			H01L-027/108	
DE 4238801	C2			H01L-027/108	

Abstract:

DE 4238801 A

The memory layout has a number of active zones (8-7, 8-10) for each memory cell formed in a common substrate using the same diffusion process for providing diffusion zones of 2 adjacent cells, separated by a channel zone. Evenly spaced word lines (8-

16) extend at an angle to the channel zones, perpendicular to evenly spaced bit lines (8-3).

Capacitors extend longitudinally between the adjacent bit lines (8-3) and sideways between 2 adjacent word lines (8-16). An insulation layer has contact holes (8-2) for connecting the first diffusion zones to the capacitors and contact holes (8-4) for connecting the second diffusion zones to the bit lines (8-3).

ADVANTAGE - High memory capacity with reduced surface area.

Dwg.2/10



)



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 42 38 801 A 1

51 Int. Cl. 5
H 01 L 27/108
H 01 L 21/72

21 Aktenzeichen: P 42 38 801.5
22 Anmeldetag: 17. 11. 92
43 Offenlegungstag: 9. 9. 93

DE 42 38 801 A 1

30 Unionspriorität: 32 33 31
04.03.92 KR 3546/92

71 Anmelder:
Goldstar Electron Co., Ltd., Cheongju, KR

74 Vertreter:
ter Meer, N., Dipl.-Chem. Dr.rer.nat.; Müller, F.,
Dipl.-Ing., 81679 München; Steinmeister, H.,
Dipl.-Ing.; Wiebusch, M., 33617 Bielefeld; Urner, P.,
Dipl.-Phys. Ing.(grad.), Pat.-Anwälte, 81679 München

72 Erfinder:
Lee, Hee Gook, Seoul/Soul, KR

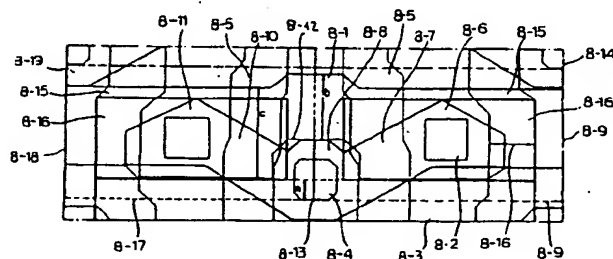
56 Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:

US 51 49 668
US 50 14 103
US 50 12 309
US 49 70 564
EP 04 64 686 A1

NAKAGOME, Yoshinobu;
et.al.: An Experimental 1.5-V64-Mb DRAM. In: IEEE
Jornal of Solid-State Circuits Vol.26, No.4, April 1991,
S.465-470;

54 Dynamischer Ram mit verbessertem Layout und Verfahren zum Anordnen der Speicherzellen eines dynamischen Ram

57 Es wird ein DRAM mit verbessertem Layout angegeben, der große Speicherkapazität bei kleiner Speicherzellenfläche aufweisen kann und bei dem das Auftreten von Kurzschlüssen durch ein Vergrößern der Herstelltoleranz verhindert werden kann. Außerdem wird ein Verfahren zum Anordnen von Speicherzellen in einem DRAM angegeben. Jeder aktive Bereich weist einen ersten Fremdstoffdiffusionsbereich (8-6, 8-11), einen zweiten Fremdstoffdiffusionsbereich (8-8), der zwei benachbarten Speicherzellen (8-9, 8-18) gemeinsam ist, und einen kanalbildenden Bereich (8-7, 8-10) auf, der zwischen den ersten und zweiten Diffusionsbereichen angeordnet ist. Erste Diffusionsbereiche benachbarter aktiver Bereiche sind unter vorgegebenen Winkeln an Positionen angeordnet, die symmetrisch in bezug auf den gemeinsamen zweiten Diffusionsbereich liegen. Jede von gleichförmig beabstandeten Bitleitungen (8-3) weist einen Vorsprung (8-12) vorgegebener Breite und Länge auf, der sich von einer ihrer Kanten in einer Richtung erstreckt, in der sich Wortleitungen (8-16) erstrecken. Am Vorsprung ist ein zweiter Diffusionsbereich ausgebildet. Gleichförmig beabstandete Wortleitungen überkreuzen Bitleitungen. Jeder Kondensator ist zwischen zwei benachbarten Bitleitungen und zwischen zwei benachbarten Wortleitungen angeordnet. Jeweils ein erstes Kontaktloch (8-2) ist in der Mitte jedes Kondensators angeordnet. Jede Bitleitung weist einen abgeboigten Abschnitt auf, um zu verhindern, daß ein Kurzschluß auftritt, der ...



DE 42 38 801 A 1

Die Erfindung betrifft einen dynamischen RAM, spezieller einen dynamischen RAM (DRAM) mit verbessertem Layout, mit dem wesentliche Elemente wirkungsvoll innerhalb einer begrenzten Fläche angeordnet werden können, geeignet für eine DRAM-Vorrichtung der Größenordnung Megabit oder größer. Sie betrifft ferner ein Verfahren zum Anordnen von Speicherzellen bei einem solchen DRAM.

Wie es wohlbekannt ist, hat sich der Integrationsgrad von DRAMs nach jeweils drei Jahren vervierfacht, und es scheint so, daß sich diese Tendenz fortsetzt. Obwohl sich die Kapazität vervierfacht, zeigt die Vergrößerung der Chipfläche dank hochentwickelter Prozeßtechnologie nur etwa eine Verdoppelung.

Jedoch kann die Kapazität eines als Ort zum Speichern von Information (Millionen von Elektronen) in einer Zelle wirkenden Kondensators wegen der anschließenden Signalerzeugung nicht verringert werden. Die meisten der derzeitigen handelsüblichen Erzeugnisse sollen so ausgebildet sein, daß sie einen Wert von etwa 20 Femtofarad oder größer pro Zelle aufweisen. Um die Fläche pro Zelle zu verringern und dennoch die Kapazität des Kondensators beizubehalten, verwenden die meisten herkömmlichen DRAMs mit einem Integrationsgrad von 4 Megabit oder mehr dreidimensionale Kondensatoren.

Ein herkömmliches Verfahren zum Herstellen eines CMOS-DRAM mit 4 oder 16 Megabit unter Verwendung Stapelkondensatoren wird nun in Zusammenhang mit Fig. 5 beschrieben.

Bei diesem Verfahren wird in einem Siliziumsubstrat 1-1 zunächst eine Wanne mit vorgegebenem Leitungstyp ausgebildet (bei CMOS eine p-Wanne und eine n-Wanne). Nachfolgend werden aktive Bereiche 1-3 und Feldbereiche 1-4 im Siliziumsubstrat 1-1 unter Verwendung eines verbesserten LOCOS (Local Oxidation of Silicon = örtliche Oxidation von Silizium)-Verfahrens ausgebildet. Über den aktiven Bereichen 1-3 auf der gesamten Oberfläche des Siliziumsubstrats 1-1 wird ein Gateoxidfilm 1-5 so ausgebildet, daß er gleichförmige Dicke aufweist. Anschließend wird eine für Wortleitungen 1-6 dienende Polysiliziumschicht auf dem Gateoxidfilm 1-5 unter Verwendung des wohlbekannten LPCVD (Low Pressure Chemical Vapor Deposition = CVD mit niedrigem Druck) -Verfahrens und des wohlbekannten anisotropen Trockenätzverfahrens hergestellt. Auf der gesamten Oberfläche des Siliziumsubstrats 1-1 wird ein Siliziumoxidfilm 1-7 (oder ein Nitridfilm oder ein anderer isolierter Film) dann unter Verwendung eines CVD (Chemical Vapor Deposition = chemische Abscheidung aus der Dampfphase)-Verfahrens ausgebildet.

Erste Kontaktlöcher werden im isolierenden Film 1-7 über ersten Fremdstoffdiffusionsbereichen 1-8 ausgebildet, die in den aktiven Bereichen 1-3 von Schalttransistoren angeordnet sind, die jeweils in jeder Speicherzelle vorhanden sind und die elektrisch mit Stapelkondensatoren verbunden werden. Nachfolgend wird als Speicherelektrode 1-9, die eine von zwei Elektroden jedes Stapelkondensators ist und mit jedem zugehörigen Fremdstoffdiffusionsbereich 1-8 verbunden wird, eine Polysiliziumelektrode unter Verwendung des wohlbekannten LPCVD-Verfahrens und des anisotropen Trockenätzverfahrens ausgebildet. Als isolierender Film für Stapelkondensatoren wird ein Oxidfilm 1-10 (Nitridfilm, Oxinitridfilm oder Mischfilm derselben) ausgebildet. Als plattenförmige Elektrode 1-11, die die andere

Elektrode jedes Stapelkondensators bildet, wird dann eine Polysiliziumelektrode unter Verwendung des wohlbekannten LPCVD-Verfahrens und des anisotropen Trockenätzverfahrens ausgebildet. Ein anderer Oxidfilm (oder Nitridfilm oder Mischfilm derselben) wird ebenfalls als isolierender Film 1-12 unter Verwendung des CVD-Verfahrens hergestellt. Der isolierende Film 1-12 wirkt dahingehend, die Stapelkondensatoren elektrisch von Bitleitungen oder anderen darauf ausgebildeten Metallverdrahtungen zu isolieren.

Zweite Kontaktlöcher werden auf dem isolierenden Film 1-12 oberhalb der zweiten Fremdstoffdiffusionsbereiche 1-13 ausgebildet, die in aktiven Bereichen 1-3 von Schalttransistoren angeordnet sind, die jeweils in jeder Speicherzelle vorhanden sind, und sie werden elektrisch mit Bitleitungen verbunden. Als Kontaktfleckleierschicht 1-14 für Bitleitungen wird eine andere Polysilizium (oder Polyzid)-Schicht auf den zweiten Kontaktlöchern ausgebildet. Diese Kontaktfleckleierschicht sollte ausgebildet sein, bevor der isolierende Film 1-12 abgeschieden wird. Nachfolgend wird ein Polyzid- oder Metallfilm für Bitleitungen 1-15 unter Verwendung des LPCVD-Verfahrens und des anisotropen Trockenätzverfahrens ausgebildet. Obwohl nicht dargestellt, werden im Fall des Hinzufügens von Metallverdrahtungen zur oben beschriebenen Struktur zusätzliche Oxidfilme (oder Nitridfilme oder Mischfilme derselben) unter Verwendung des CVD-Verfahrens hergestellt, um die Metallverdrahtungen gegenüber der darunterliegenden Struktur zu isolieren. In diesem Fall werden ebenfalls zusätzliche Kontaktlöcher zum selektiven Anschließen von Bitleitungen, Wortleitungen, einer Kernschaltung oder peripheren Schaltungen unter Verwendung des anisotropen Trockenätzverfahrens hergestellt.

Nachfolgend wird eine Metallverdrahtung zum wahlweisen Verbinden der Speicherkondensatoren mit der Kernschaltung oder den peripheren Schaltungen unter Verwendung einer durch Sputtern oder ein CVD-Verfahren erhaltenen Beschichtung und durch anschließendes Trockenätzen ausgebildet. Dabei wird im Fall des Verwendens einer doppelten Metallverdrahtung ein anschließender Prozeß ausgeführt, wie er zum Ausbilden einer doppelten Metallverdrahtung erforderlich ist. Dadurch werden alle Prozesse abgeschlossen. Mehrere andere Prozesse, wie Lithographie, Reinigen und andere Hilfsprozesse zum Verbessern der Genauigkeit und Einfachheit beim Ausführen von Grundprozessen werden zusätzlich während des Ausführens der Grundprozesse ausgeführt.

Da sich der Trend zum weiteren Verringern der gesamten Chipfläche bei den Bemühungen zum Verbessern der Produktivität und der Kostenverringerung fortsetzt, könnte die Fläche pro Zelle im Fall von 16-Megabit-DRAMs oder 64-Megabit-DRAMs weiter verringert werden. Dabei ist es unter Verwendung des oben beschriebenen Verfahrens unmöglich, eine ausreichend große Kapazität eines Stapelkondensators zu erhalten. Selbstverständlich kann die Kapazität durch Vergrößern des Oberflächenbereichs des Kondensators erhöht werden, was durch Vergrößern der Höhe des dreidimensionalen Kondensators erzielt wird. Jedoch findet dieses Verfahren wegen Prozeßschwierigkeiten eine Grenze.

Demgemäß ist es erforderlich, ein Verfahren zum Herstellen eines Stapelkondensators anzugeben, das dazu in der Lage ist, die Oberfläche eines Kondensators zu erhöhen, ohne daß die Höhe vergrößert wird.

Fig. 6 ist ein Layoutdiagramm für einen DRAM, wie

er durch ein Verfahren zum Erhöhen der Kapazität eines Stapelkondensators erhalten wird. Dieses Layout ist im US-Patent 49 70 564 beschrieben.

Das Verfahren wird nun in Zusammenhang mit den Fig. 7A bis 7I erläutert.

Gemäß diesem Verfahren wird eine Wanne 3-2 mit vorgegebenem Leitungstyp (in CMOS, ein p-Wanne und eine n-Wanne) zunächst in einem Siliziumsubstrat 3-1 ausgebildet, wie in Fig. 7A dargestellt. Aktive Bereiche 3-3 und Feldbereiche 3-4 werden dann im Siliziumsubstrat 3-1 unter Verwendung eines verbesserten LOCOS-Verfahrens hergestellt. Danach wird ein Gateoxidfilm 3-5 auf den aktiven Bereichen ausgebildet. Wie in Fig. 7B dargestellt, werden dann eine für Wortleitungen 3-6 dienende Polysiliziumschicht und ein isolierender Film 3-7 zum Isolieren benachbarter Schichten gegeneinander auf dem Gateoxidfilm 3-5 unter Verwendung des wohlbekannten LPCVD-Verfahrens und des wohlbekannten anisotropen Trockenätzungsverfahrens ausgebildet. Über der gesamten Oberfläche des Siliziumsubstrats 3-1 wird ein Siliziumoxidfilm (oder ein Nitridfilm oder ein anderer isolierender Film) unter Verwendung des CVD-Verfahrens ausgebildet, der als isolierender Film 3-8 dient.

Zweite Kontaktlöcher werden auf dem isolierenden Film 3-8 oberhalb der zweiten Fremdstoffdiffusionsbereiche 3-9 ausgebildet, die in aktiven Bereichen von Schalttransistoren angeordnet sind, die jeweils in jeder Speicherzelle vorhanden sind, und sie werden elektrisch mit Bitleitungen verbunden, wie in Fig. 7C dargestellt. Nachfolgend werden eine Polysilizium (Polyzid) -Verdrahtung zum Herstellen von Bitleitungen 3-10 und darauf liegender isolierender Film 3-11 unter Verwendung des LPCVD-Verfahrens und des Trockenätzungsverfahrens hergestellt, wie in Fig. 7B dargestellt. Die Bitleitungen 3-10 werden durch eine Schicht isoliert, die anschließend auf ihnen unter Verwendung eines herkömmlichen Verfahrens zum Ausbilden eines Seitenwandoxidfilms 3-12 ausgebildet wird, wie in Fig. 7E dargestellt. Nachfolgend wird ein anderer isolierender Film 3-13 ausgebildet.

Auf dem isolierenden Film 3-13 werden erste Kontaktlöcher 3-19 oberhalb ersten Fremdstoffdiffusionsbereichen 3-14 ausgebildet, die in aktiven Bereichen 3-3 von Schalttransistoren angeordnet sind, die jeweils in jeder Speicherzelle vorhanden sind, wie in Fig. 7F dargestellt. Nachfolgend wird als Speicherelektrode 3-15, die eine von zwei Elektroden jedes Stapelkondensators 3-21 ist und mit dem jeweils ersten Fremdstoffdiffusionsbereich 3-14 verbunden ist, eine Polysiliziumelektrode unter Verwendung des LPCVD-Verfahrens und des Trockenätzungsverfahrens ausgebildet, wie in Fig. 7G dargestellt. Als isolierender Film 3-16 für Stapelkondensatoren 3-21 wird ein Oxidfilm (oder Nitridfilm oder Mischfilm derselben) ausgebildet. Als plattenförmige Elektrode 3-17 jedes Stapelkondensators 3-21 wird dann eine Polysiliziumelektrode unter Verwendung des LPCVD-Verfahrens und des Trockenätzungsverfahrens ausgebildet, wie in Fig. 7H dargestellt. Wie in Fig. 7I gezeigt, wird auch ein anderer Oxidfilm 3-18 (oder Nitridfilm oder Mischfilm derselben) als isolierender Film unter Verwendung des CVD-Verfahrens ausgebildet. Der Oxidfilm 3-18 dient dazu, die Stapelkondensatoren 3-21 gegenüber einer darauf ausgebildeten Metallverdrahtung zu isolieren.

Obwohl nicht dargestellt, werden dann zusätzliche Kontaktlöcher an geeigneten Positionen ausgebildet. Auch wird eine Metallverdrahtung zum Anschließen

von Schaltungen auf die Stapelkondensatoren durch Sputtern oder ein CVD-Verfahren aufgebracht und unter Verwendung des anisotropen Trockenätzungsverfahrens gemustert. Dabei wird im Fall des Verwendens einer doppelten Metallverdrahtung ein anschließender Prozeß ausgeführt, wie er zum Ausbilden einer solchen doppelten Metallverdrahtung erforderlich ist. So werden alle Prozesse abgeschlossen.

Mehrere andere Prozesse, wie Lithographie, Reinigen und andere Hilfsprozesse zum Verbessern der Genauigkeit und Einfachheit beim Ausführen der Grundprozesse, werden zusätzlich während des Ausführens der Grundprozesse ausgeführt.

Die Speicherzelle mit der oben angegebenen Struktur des Stapelkondensators ist sehr vorteilhaft dahingehend, daß sie die Fläche des Kondensators dadurch erweitert, daß die erste Elektrode jedes Stapelkondensators selbst über jedem zweiten Kontaktloch liegen kann, das jede Bitleitung und den zweiten Diffusionsbereich des entsprechenden Schalttransistors verbindet, da der Stapelkondensator nach dem Ausbilden sowohl der Bitleitungen als auch der Wortleitungen hergestellt wird. Demgemäß können Speicherzellen mit dieser verbesserten Struktur der Stapelkondensatoren mit Vorteil bei 16-Megabit-DRAMS oder DRAMs noch höherer Dichte verwendet werden.

In Fig. 6 entspricht der rechteckige Bereich "3-22" dem Bereich einer Speicherzelle. Nun werden wesentliche Elemente der Speicherzelle in Verbindung mit Fig. 8 beschrieben, die eine vergrößerte Darstellung eines Teils der Speicherzelle ist.

Unterhalb der Speicherelektrode 3-15 des Stapelkondensators 3-21 ist das erste Kontaktloch 3-19 angeordnet, das die Elektrode mit dem ersten Fremdstoffdiffusionsbereich 3-14 des Schalttransistors verbindet. Andererseits ist das zweite Kontaktloch 3-20, das die Bitleitung 3-10 mit dem zweiten Fremdstoffdiffusionsbereich 3-9 des Schalttransistors verbindet, an der unteren linken Seite des rechteckigen Bereichs 3-22 angeordnet. Zwischen dem ersten Kontaktloch 3-19 und dem zweiten Kontaktloch 3-20 ist die als Gate des Schalttransistors wirkende Wortleitung 3-6 vertikal angeordnet. In diesem Fall sollte die Wortleitung 3-6 sowohl vom ersten als auch vom zweiten Kontaktloch 3-19, 3-20 um einen geeigneten Abstand entfernt sein, um das Auftreten elektrischer Kurzschlüsse dazwischen zu verhindern. Die Wortleitung 3-6 muß geeignet gebogen sein, damit sie innerhalb des begrenzten rechteckigen Bereichs unter Einhalten der Bedingung angeordnet werden kann, daß der geeignete Abstand aufrechterhalten wird. Andererseits ist die zum Eingeben und Ausgeben in der Speicherzelle zu speichernde Information verwendete Bitleitung 3-10 rechtwinklig zur Wortleitung 3-6 angeordnet. Demgemäß sind die gesamten aktiven Bereiche 3-3, in denen drei Bereiche des Schalttransistors, d. h. der erste Fremdstoffdiffusionsbereich 3-14, der kanalbildende Bereich 3-23 und der zweite Fremdstoffdiffusionsbereich 3-9, angeschlossen sind, schräg in bezug auf die Bitleitung 3-10 und die Wortleitung 3-6 angeordnet. Es besteht kein Erfordernis dafür, daß die drei Bereiche in den aktiven Bereichen entlang einer Linie angeordnet sind. Es ist eine Anordnung mit gekrümmter oder gebogener Form möglich, um eine Prozeßtoleranz zu erzielen.

Im allgemeinen ist in allen Fällen mit einer Struktur mit gefalteten Bitleitungen eine andere Wortleitung 3-6 an der rechten Seite des ersten Kontaktlochs 3-19 innerhalb des rechteckigen Bereichs 3-22 parallel zur linken

Wortleitung 3-6 angeordnet, wobei ein geeigneter Abstand vom ersten Kontaktloch 3-19 eingehalten wird. Die rechte Wortleitung 3-6 ist nicht direkt mit der Speicherzelle verbunden.

Die Positionen der zwei Wortleitungen 3-6 sollten so bestimmt sein, daß sie einen geeigneten Abstand von anderen Wortleitungen in benachbarten Speicherzellen einhalten, die links und rechts vom rechteckigen Bereich 3-22 anzuordnen sind. Auch müssen sie so positioniert werden, daß sie genau mit Wortleitungen in benachbarten Speicherzellen verbunden werden können, die über und unter dem rechteckigen Bereich 3-22 anzuordnen sind. Andererseits ist eine benachbarte, mit der Speicherzelle über dem rechteckigen Bereich 3-22 verbundene Bitleitung parallel zur Bitleitung 3-10 im rechteckigen Bereich 3-22 angeordnet. Sowohl die erstere als auch die letztere Bitleitung sollten so angeordnet sein, daß sie einen geeigneten Abstand vom ersten Kontaktloch 3-19 einhalten.

Wenn den oben genannten verschiedenen Anordnungsbedingungen und dem Layout von Fig. 8 Aufmerksamkeit geschenkt wird, um eine optimale Anordnung einer Speicherzelle zu erhalten, stellt sich heraus, daß die in Fig. 6 dargestellte Anordnung einer Speicherzelle folgenden Beschränkungen unterliegt:

Erstens weist das zweite Kontaktloch 3-20 für die Bitleitung 3-10 keine ausreichende Größe auf, da die Lücke zwischen benachbarten Wortleitungen, in der die zweiten Kontaktlöcher 3-20 angeordnet sind, schmal ist. Dies kann zu einer Beschränkung der Leistungsfähigkeit oder zu einer Beschränkung beim Erzielen einer hohen Ausbeute führen.

Zweitens ist, da ein selbstausschaltendes Ätzverfahren unter Verwendung eines Wortleistungsseitenwall-Ausbildungsprozesses im Fall des Ausbildens des zweiten Kontaktlochs 3-20 für die Bitleitung 3-10 verwendet wird, der Abstand zwischen der anschließend ausgebildeten Bitleitung 3-10 und der Wortleitung 3-6 sehr klein. Im Ergebnis wird die Kapazität der Bitleitung 3-10 relativ groß, wodurch der Betrieb des Datenauslesens negativ beeinflusst wird.

Drittens ist es, da der kanalbildende Bereich 3-23 des Schalttransistors einen Winkel von 45° in bezug auf die Wortleitung 3-6 (d. h. das Gate) bildet, schwierig, dessen Charakteristik durch ein Modell zu bestimmen. Wenn die Anordnung des Gates und der aktiven Bereiche geändert wird, kann die Transistorcharakteristik beeinflusst werden.

Wenn diese Beschränkungen berücksichtigt werden, scheint eine andere Speicherzellenanordnung gemäß dem Layout von Fig. 9 einen Vorteil dahingehend aufzuweisen, daß die vorstehend dargelegten Beschränkungen durch diese Anordnung beseitigt sind. Das Layout ist im US-Patent 5,014,103 beschrieben.

Fig. 9 zeigt ein Layout, bei dem vier Speicherzellen angeordnet sind. In Fig. 9 bezeichnet das Bezugszeichen AR aktive Bereiche, AR' den gebogenen Bereich jedes aktiven Bereichs AR, WL Wortleitungen, BH Bitleitungskontaktlöcher, BL Bitleitungen, SH Speicherelektrodenkontaktlöcher SE Speicherelektroden, Z' den gebogenen Abschnitt jeder Wortleitung, CBH die Mitte jedes Bitleitungskontaktlochs und CSH die Mitte jedes Speicherelektrodenkontaktlochs.

Wie in Fig. 9 dargestellt, ist der gebogene Abschnitt AR' jedes aktiven Bereichs AR unter der zugehörigen Wortleitung WL angeordnet. Der gebogene Abschnitt Z' jeder Wortleitung WL, die die Bitleitungen BL kreuzt, ist gekrümmt. Eine imaginäre Linie, die die Mitte

CBH jedes Bitleitungskontaktlochs BH und die Mitte CSH des entsprechenden Speicherelektrodenkontaktlochs SH verbindet, steht senkrecht auf dem gekrümmten Abschnitt Z' jeder Wortleitung WL. Alle Speicherzellenmuster können dadurch ausgebildet werden, daß das in Fig. 9 dargestellte Layout wiederholt angeordnet wird.

In den beiden in den Fig. 6 und 9 dargestellten Zellenanordnungen sollten jedoch die Mitten der Bitleitungskontaktlöcher 3-20 und BH den unteren linken Eckpunkten P1 der rechteckigen Bereiche 3-22 bzw. 5-1 entsprechen. Dieser Grund kann leicht eingesehen werden, wenn die Anordnung der Speicherzellen vorne, hinten, links und rechts bei einem Speicherarray berücksichtigt wird.

Diese Technik hat jedoch eine Beschränkung betreffend effektives Anordnen von Speicherzellen, wie in Fig. 10, was beschrieben wird.

Der Erfindung liegt die Aufgabe zugrunde, einen dynamischen RAM mit verbessertem Layout anzugeben, das dazu in der Lage ist, den Integrationsgrad dadurch zu erhöhen, daß wesentliche Teile wirkungsvoll innerhalb einer begrenzten Fläche angeordnet werden.

Diese Aufgabe wird durch die DRAMs mit den Merkmalen der unabhängigen Ansprüche 1 und 11 gelöst.

Eine andere Aufgabe der Erfindung ist es, ein Verfahren zum Anordnen der Speicherzellen eines DRAM anzugeben.

Das erfindungsgemäße Verfahren ist durch die Merkmale von Anspruch 24 gegeben.

Weitere Aufgabe und Erscheinungsformen der Erfindung gehen aus der folgenden Beschreibung von Ausführungsbeispielen unter Bezugnahme auf die beigefügten Zeichnungen hervor.

Fig. 1 ist eine Layoutdarstellung, die eine Anordnung von Speicherzellen gemäß einem Ausführungsbeispiel der Erfindung veranschaulicht;

Fig. 2 ist eine Ansicht, die einen Teil des in Fig. 1 dargestellten DRAM veranschaulicht;

Fig. 3 ist eine Layoutansicht, die einen Teil eines DRAM gemäß einem anderen Ausführungsbeispiel der Erfindung veranschaulicht, bei dem die Breite jedes aktiven Bereichs vergrößert ist;

Fig. 4 ist eine Layoutansicht, die einen Teil eines DRAM gemäß einem anderen Ausführungsbeispiel der Erfindung veranschaulicht, bei dem die Länge jedes Bitleitungskontaktlochs vergrößert ist;

Fig. 5 ist ein Querschnitt durch eine herkömmliche Struktur eines DRAM mit Stapelkondensatoren;

Fig. 6 ist eine Layoutansicht eines DRAM mit einer Struktur mit gefalteter Bitleitung gemäß dem Stand der Technik, bei dem jeder Speicherzellenkondensator über jeder entsprechenden Bitleitung angeordnet ist;

Fig. 7A bis 7I sind Querschnitte, die ein Verfahren zum Herstellen des DRAM mit dem in Fig. 6 dargestellten Layout veranschaulichen;

Fig. 8 ist eine vergrößerte Ansicht eines Teils des in Fig. 6 gezeigten DRAM;

Fig. 9 ist eine Layoutansicht eines DRAM mit gefalteter Bitleitungsstruktur gemäß einem anderen Stand der Technik, bei dem jeder Speicherzellenkondensator über jeder zugehörigen Bitleitung angeordnet ist;

Fig. 10(A) ist eine Ansicht zum Erläutern eines herkömmlichen Verfahrens zum Anordnen von Speicherzellen; und

Fig. 10(B) ist eine Ansicht zum Erläutern eines Verfahrens von Speicherzellen gemäß der Erfindung.

Fig. 10A zeigt, wie in den Fig. 6 und 9 dargestellte

Speicherzellen in einem Speicherarray zusammengefügt sind. Ein Bezugszeichen 6-1 kennzeichnet einen dem rechteckigen Bereich 3-22 von Fig. 6 oder dem rechteckigen Bereich 5-1 von Fig. 9 entsprechenden Bereich. Der Buchstabe F im rechteckigen Bereich 6-1 kennzeichnet die Grundausrichtung des Musters. Das im rechteckigen Bereich 6-2 dargestellte, als invertiertes F ausgebildete Zeichen " " bedeutet, daß der rechteckige Bereich 6-2 ein symmetrisches Spiegelbild des rechteckigen Bereichs 6-1 in bezug auf eine lange Kante desselben ist. Ähnlich bedeutet das im rechteckigen Bereich 6-3 seitlich gegenüber dem Bild des rechteckigen Bereichs 6-1 invertierte Zeichen " " , daß der rechteckige Bereich 6-3 ein symmetrisches Spiegelbild des rechteckigen Bereichs 6-1 in bezug auf eine kurze Kante desselben ist. Schließlich bedeutet der im rechteckigen Bereich 6-4 und seitlich gegenüber dem Bild des rechteckigen Bereichs 6-2 invertierte Zeichen " " , daß der rechteckige Bereich 6-4 ein symmetrisches Spiegelbild des rechteckigen Bereichs 6-2 in bezug auf eine kurze Kante desselben ist.

Bei der in Fig. 10A dargestellten Anordnung kann die Verbindung zwischen benachbarten Speicherzellen dann erzielt werden, wenn die Mitte des zweiten Kontaktlochs für eine Bitleitung 8-3 am Eckpunkt 6-5 eines rechteckigen Bereichs angeordnet ist. Fälle der Erfindung, wie sie in den Fig. 1 und 2 dargestellt sind, können jedoch den Anordnungsbeschränkungen von Fig. 8 genügen, ohne daß das Erfordernis dafür besteht, daß die Mitte des zweiten Kontaktlochs für die Bitleitung 8-3 im Eckpunkt 6-5 des rechteckigen Bereichs angeordnet ist, was im Gegensatz zum Erfordernis für die Layouts der Fig. 6 und 9 steht.

Fig. 2 zeigt das Konzept der Erfindung dahingehend deutlich, daß zwei symmetrische Grundspeicherzellen das zweite Kontaktloch 8-4 für die Bitleitung 8-3 gemeinsam haben. Die erfindungsgemäße Anordnung von Speicherzellenelementen wird nun im einzelnen unter Bezugnahme auf Fig. 2 beschrieben. Zunächst ist die Mittellinie 8-17 der Bitleitung 8-3 an den unteren Kanten der zwei rechteckigen Bereiche 8-9 und 8-18 angeordnet, die seitlich nebeneinander angeordnet sind. Dabei besteht kein Erfordernis dafür, daß die Mitte des Bitleitungskontaktlochs 8-4 auf der Mittellinie 8-17 der Bitleitung 8-3 angeordnet ist. Die Mitte des Bitleitungskontaktlochs 8-4 kann so angeordnet sein, daß sie von der Mittellinie 8-17 der Bitleitung 8-3 um einen bestimmten Abstand a entfernt ist. In diesem Fall benötigt die Bitleitung 8-3 jedoch einen Vorsprung 8-12, damit sie das zweite Kontaktloch 8-4 voll abdeckt. Obwohl der Abstand b zwischen dem Vorsprung 8-12 und der benachbarten Bitleitung 8-19 kleiner ist als der Abstand c zwischen dem Abschnitt der Bitleitung 8-3 an anderen Stellen als dem Vorsprung 8-12 und der benachbarten Bitleitung 8-19, kann diese Struktur bei tatsächlichen Anwendungen nicht zu einem Kurzschlußproblem führen. Selbst wenn bei der Struktur die Möglichkeit besteht, daß sie zu einem Problem führt, kann dieses einfach dadurch umgangen werden, daß die benachbarte Bitleitung 8-19 so ausgebildet wird, daß ihr unterer Abschnitt leicht so gekrümmt ist, daß sie einen gekrümmten Abschnitt 8-1 aufweist, der dem Vorsprung 8-12 zugewandt ist.

Wie in Fig. 12 dargestellt, sind zwei benachbarte aktive Bereiche in fünf Bereiche 8-6, 8-7, 8-8, 8-10 und 8-11 unterteilt, und sie können infolge ihrer zusammengesetzten Form als Speicherzellen vom "Seemövenflügeltyp" bezeichnet werden. Der dem Körper einer Seemö-

ve entsprechende aktive Bereich 8-8 ist so ausgebildet, daß er im wesentlichen das zweite Kontaktloch 8-4 überdeckt. In aktiven Bereichen 8-7 und 8-10, die den Innenflügelbereichen einer Seemöve entsprechen, sind jeweils kanalbildende Bereiche von Schalttransistoren ausgebildet. Jeder kanalbildende Bereich ist mit einem vorgegebenen Winkel schräg in bezug auf die Wortleitung 8-5 ausgebildet. Gemäß der Erfahrung ist es am vorteilhaftesten, daß der Winkel derart bestimmt wird, daß der kanalausbildende Bereich parallel zu einer diagonalen Linie verläuft, die zwei Eckpunkte 8-13 und 8-14 des rechteckigen Bereichs 8-9 miteinander verbindet. Bei tatsächlichen Anwendungen liegt der Winkel in der Größenordnung von 30° . Zwei Wortleitungen 8-5 und 8-15, die so angeordnet sind, daß sie die in Verbindung mit Fig. 8 erläuterten Anordnungsbegrenzungen berücksichtigen, sind mit ihren in Fig. 2 dargestellten, vorbestimmten Abschnitten so gebogen, daß sie vom ersten Kontaktloch 8-2, das daneben ausgebildet ist, maximalen Abstand einhalten. Aus demselben Grund ist auch die Breite des Wortleitungsabschnitts 8-16 variiert. Jede Wortleitung behält im kanalausbildenden Bereich eine vorbestimmte Breite bei, um eine Ausschaltcharakteristik beizubehalten. Anders gesagt, weist z. B. im Wortleitungsbereich 8-16 die Wortleitung die durch den Prozeß erlaubte Minimalbreite auf, um den Abstand zum benachbarten ersten Kontaktloch 8-2 zu vergrößern.

In der Vergangenheit wurde ein Prozeß zum Abknicken oder Verbiegen der Wortleitungen 8-5 und 8-15 und zum Verändern der Breite derselben wegen einer Erhöhung der Datenmenge beim Erstellen einer Photoplatte als unerwünscht angesehen. Jedoch bestehen hier keine Schwierigkeiten, da bei Speicherzellen ein kleiner Block Daten verarbeitet und wiederholt verwendet werden kann. Auch besteht keine Schwierigkeit beim Herstellen einer Photoplatte unter Verwendung von Elektronenstrahlanlagen.

An den Oberkanten der rechteckigen Bereiche 8-9 und 8-18 der Grundspeicherzellen ist eine Bitleitung einer benachbarten Speicherzelle angeordnet. Demgemäß ist die Position des ersten Kontaktlochs 8-2 für den ersten Diffusionsbereich so bestimmt, daß das erste Kontaktloch 8-2 von allen Wortleitungen 8-5 und 8-15, die zu beiden Seiten angeordnet sind, und von den über und unter dem ersten Kontaktloch 8-2 angeordneten Bitleitungen 8-19 und 8-3 einen gleichen Abstand einhält. Die Form des ersten Diffusionsbereichs in den äußeren Flügelbereichen 8-6 und 8-11, die den beiden Enden der Seemöve entsprechen, sollte so entworfen sein, daß der erste Diffusionsbereich das erste Kontaktloch gut abdeckt und einen geeigneten Abstand zum benachbarten aktiven Bereich einhält.

Die Fig. 1 und 2 veranschaulichen ein Ausführungsbeispiel der Erfindung. Es können auch andere Formen ausgeführt werden. Z. B. können Formen realisiert werden, die dadurch erhalten werden, daß die Formen von Fig. 2 vertikal umgekehrt werden.

In Fig. 10B ist ein Verfahren zum erfindungsgemäßen Anordnen von Speicherzellen in einem Speicherarray dargestellt. In diesem Fall werden nur seitlich symmetrische Muster von Grundspeicherzellen verwendet, im Gegensatz zum Fall von Fig. 10A. Ein anderes Ausführungsbeispiel der vorliegenden Erfindung, das dieses Verfahren in der Praxis nutzt, ist in Fig. 1 dargestellt. Fig. 1 zeigt ein Beispiel, wie die Möglichkeit eines Kurzschlusses durch Abbiegen der neben der Bitleitung 8-3 liegenden und dem Vorsprung 8-12 in der Nähe des

zweiten Kontaktlochs 8-4 für die Bitleitung 8-3 zugewandten Bitleitung 8-19 beseitigt werden kann. Gemäß diesem Ausführungsbeispiel ist das erste Kontaktloch 8-2 für den ersten Diffusionsbereich nicht an einer imaginären Linie 7-1 angeordnet, die das zweite Kontaktloch für zwei benachbarte Bitleitungen miteinander verbindet, die diagonal zu den beiden Seiten des ersten Kontaktlochs 8-2 angeordnet sind. Durch diese Anordnung weist die Erfindung ein Konzept auf, das sich von denen der Fig. 6 und 9 unterscheidet. Durch Verwenden dieser Anordnung ist es möglich, die Größe der zweiten Kontaktlöcher auszuweiten, wie dies in Fig. 4 dargestellt ist.

Unter Bezugnahme auf Fig. 3 kann festgestellt werden, daß dann, wenn es erforderlich ist, die Breite jedes Seemövenflügels unabhängig vom Abstand zwischen jedem Seemövenflügel und dem benachbarten aktiven Bereich vergrößert werden kann, wie in den Bereichen 8-7 und 8-10. Dies kann in den Fällen der Fig. 6 und 9 ebenfalls nicht erwartet werden.

Wie es aus der obigen Beschreibung ersichtlich ist, verschafft die Erfindung die Möglichkeit, daß Kurzschlüsse vermieden werden und Speicherzellen hoch integriert werden können.

Patentansprüche

1. DRAM, gekennzeichnet durch

- ein Halbleitersubstrat mit mehreren aktiven Bereichen (8-7, 8-10), die jeweils in jeder Speicherzelle angeordnet sind und einen ersten Fremdstoffdiffusionsbereich, einen zweiten Fremdstoffdiffusionsbereich für zwei benachbarte Speicherzellen gemeinsam und einen zwischen dem ersten und dem zweiten Fremdstoffdiffusionsbereich angeordneten, kanalbildenden Bereich aufweisen, wobei die ersten Fremdstoffdiffusionsbereiche benachbarter aktiver Bereiche jeweils an Positionen angeordnet sind, die symmetrisch zum gemeinsamen zweiten Fremdstoffdiffusionsbereich liegen;
- mehrere gleichmäßig voneinander beabstandete Wortleitungen (8-16), die auf dem Halbleitersubstrat ausgebildet sind, wobei jede Wortleitung sich schräg in bezug auf jeden kanalbildenden Bereich jedes entsprechenden aktiven Bereichs erstreckt;
- mehrere gleichmäßig beabstandete Bitleitungen (8-3), die auf dem Halbleitersubstrat ausgebildet sind und sich rechtwinklig zu den Wortleitungen erstrecken, wobei jede der Bitleitungen eine Mittellinie aufweist, die sich schräg in bezug auf den kanalbildenden Bereich jedes entsprechenden aktiven Bereichs erstreckt;
- mehrere Kondensatoren, von denen jeder in Längsrichtung zwischen benachbarten Bitleitungen und seitlich zwischen zwei benachbarten Wortleitungen angeordnet ist; und
- eine isolierende Schicht mit ersten Kontaktlöchern (8-2) zum Anschließen der ersten Fremdstoffdiffusionsbereiche an die jeweiligen Kondensatoren, und zweiten Kontaktlöchern (8-4) zum Anschließen der zweiten Fremdstoffdiffusionsbereiche an die entsprechenden Bitleitungen, wobei jedes der zweiten Kontaktlöcher zwischen jeweiligen ersten

Kontaktlöchern zweier benachbarter Speicherzellen (8-9, 8-18) so angeordnet ist, daß eine imaginäre Linie, die sie verbindet, eine Linie ist, die abweichend von einer geraden Linie unter einem vorgegebenen Winkel abgelenkt ist.

2. DRAM nach Anspruch 1, dadurch gekennzeichnet, daß zwei benachbarte aktive Bereiche (8-7, 8-10) zusammen Seemövenflügel aufweisen, mit einem Körper (8-8), der dem zweiten Fremdstoffdiffusionsbereich entspricht, der den zwei benachbarten aktiven Bereichen gemeinsam ist, mit inneren Flügelabschnitten (8-7, 8-10), die jeweils den kanalbildenden Bereichen der zwei benachbarten aktiven Bereiche entsprechen, und mit äußeren Flügelabschnitten (8-6, 8-11), die jeweils dem ersten Fremdstoffdiffusionsbereich der zwei benachbarten aktiven Bereiche entsprechen.

3. DRAM nach Anspruch 2, dadurch gekennzeichnet, daß jeder erste jedem äußeren Flügelabschnitt (8-6, 8-11) des Seemövenflügels entsprechende erste Fremdstoffdiffusionsbereich eine schräge obere Kante aufweist, die den ihm benachbarten zwei benachbarten aktiven Bereichen zugewandt ist und unregelmäßige Breite in solcher Weise aufweist, daß der erste Fremdstoffdiffusionsbereich von den zwei anderen ihm und einander benachbarten Bereichen einen vorgegebenen Abstand einhält.

4. DRAM nach Anspruch 2, dadurch gekennzeichnet, daß der Körper (8-8), die inneren Flügelabschnitte (8-7, 8-10) und die äußeren Flügelabschnitte (8-6, 8-11) des Seemövenflügels jeweils unterschiedliche Breite aufweisen.

5. DRAM nach Anspruch 2, dadurch gekennzeichnet, daß das Ende jedes äußeren Flügelabschnitts (8-6, 8-11) mit ungleichförmiger Breite jeweils oberhalb der zugehörigen Bitleitung (8-3) angeordnet ist.

6. DRAM nach Anspruch 3, dadurch gekennzeichnet, daß jeder äußere Flügelabschnitt (8-6, 8-11) eine sich schräg zur Mittellinie der Bitleitung (8-3) erstreckende obere Kante und eine sich parallel zu dieser Mittellinie erstreckende untere Kante aufweist.

7. DRAM nach Anspruch 3, dadurch gekennzeichnet, daß die Erstreckungsrichtung der oberen Kante jedes äußeren Flügelabschnitts (8-6, 8-10) derjenigen des entsprechenden kanalbildenden Bereichs entgegengesetzt ist.

8. DRAM nach Anspruch 1, dadurch gekennzeichnet, daß die Mitte jedes zweiten Kontaktlochs (8-4) auf der Mittellinie der entsprechenden Bitleitung (8-3) und die Mitte jedes ersten Kontaktlochs (8-2) in der Mitte des zugehörigen Kondensators angeordnet ist, und die Größe jedes ersten Kontaktlochs so bestimmt ist, daß es von den beiden Wortleitungen (8-16) und den zwei benachbart angeordneten Bitleitungen (8-3) einen vorgegebenen Abstand einhält.

9. DRAM nach Anspruch 8, dadurch gekennzeichnet, daß die Linie, die die Mitte jedes ersten Kontaktlochs (8-2) und die Mitte jedes zugehörigen zweiten Kontaktlochs (8-4) miteinander verbindet, eine "V"-förmige Biegung mit einem vorgegebenen Winkel aufweist.

10. DRAM nach Anspruch 1, dadurch gekennzeichnet, daß sich jeder kanalbildende Bereich (8-7, 8-10) unter etwa 30° schräg zur zugehörigen Bitleitung

(8-3) und unter etwa 60° zur zugehörigen Wortleitung (8-16) erstreckt.

11. DRAM, gekennzeichnet durch:

- mehrere aktive Bereiche (8-7, 8-10), die jeweils in jeder Speicherzelle (8-9, 8-18) angeordnet sind und einen ersten Fremdstoffdiffusionsbereich (8-6, 8-11), einen zwei benachbarten Speicherzellen gemeinsamen zweiten Fremdstoffdiffusionsbereich (8-8) und einen kanalbildenden Bereich (8-7, 8-10) aufweisen, der zwischen jeweils einem ersten und zweiten Fremdstoffdiffusionsbereich ausgebildet ist und sich schräg zu einer als Gate wirkenden Wortleitung (8-16) und einer benachbart angeordneten Bitleitung (8-3) erstreckt, wobei die ersten Fremdstoffdiffusionsbereiche der zwei benachbarten aktiven Bereiche an Positionen angeordnet sind, die jeweils symmetrisch zum gemeinsamen zweiten Fremdstoffdiffusionsbereich liegen;
- mehrere Bitleitungen (8-3), die rechtwinklig zu den Wortleitungen (8-16) stehen und jeweils einen Vorsprung (8-12) aufweisen, der sich vom Hauptabschnitt derselben in einer der Erstreckungsrichtung der Wortleitung entsprechenden Richtung erstreckt, wobei der Ort des Vorsprungs im zugehörigen zweiten Fremdstoffdiffusionsbereich zwischen den jeweiligen kanalbildenden Bereichen der zwei benachbarten Speicherzellen liegt, und in einem gewünschten Bereich ein abgebogener Abschnitt so ausgebildet ist, daß er die Bitleitung vom Vorsprung der benachbarten Bitleitung beabstandet hält, um dadurch zu verhindern, daß ein Kurzschluß zwischen den zwei Bitleitungen auftritt;
- mehrere Kondensatoren, von denen jeder kurze, sich zwischen zwei benachbarten Bitleitungen erstreckende Kanten und lange, sich zwischen zwei benachbarten Wortleitungen erstreckende Kanten aufweist, wobei die untere der langen Kanten entlang der Hauptabschnittskante der entsprechenden Bitleitung angeordnet ist, von der ausgehend sich der Vorsprung erstreckt; und
- mehrere Wortleitungen (8-16), von denen jede in einem gewünschten Bereich einen abgebogenen Abschnitt aufweist, der so ausgebildet ist, daß er die Wortleitung von einem ersten Kontaktloch (8-2) zum elektrischen Verbinden jedes ersten Fremdstoffdiffusionsbereichs mit jedem entsprechenden Kondensator beabstandet hält, um dadurch einen Kurzschluß zu vermeiden, der dazwischen auftreten könnte.

12. DRAM nach Anspruch 11, dadurch gekennzeichnet, daß der zweite Fremdstoffdiffusionsbereich (8-8) und das zweite Kontaktloch (8-4) in einem Abschnitt der zugehörigen Bitleitung (8-3) angeordnet sind, in dem der Vorsprung (8-12) vorhanden ist.

13. DRAM nach Anspruch 12, dadurch gekennzeichnet, daß die Mitte des zweiten Kontaktlochs (8-4) entlang der Mittellinie der Breite des Vorsprungs (8-12) verschiebbar ist, wobei die Richtung der Mittellinie dieselbe ist wie die Richtung des Vorsprungs und daß die Mittellinie rechtwinklig zur Mittellinie des Hauptabschnitts der Bitleitung

(8-3) steht.

14. DRAM nach Anspruch 11, dadurch gekennzeichnet, daß die Form des ersten Kontaktlochs (8-2) derjenigen des Kondensators ähnlich ist und die Form des zweiten Kontaktlochs (8-4) näherungsweise mit derjenigen des Bitleitungsvorsprungs (8-12) identisch ist.

15. DRAM nach Anspruch 14, dadurch gekennzeichnet, daß die Form des ersten Kontaktlochs (8-2) näherungsweise rechteckig ist und die Form des zweiten Kontaktlochs (8-4) näherungsweise kreisförmig ist.

16. DRAM nach Anspruch 11, dadurch gekennzeichnet, daß der erste Fremdstoffdiffusionsbereich (8-6, 8-11), der zweite Fremdstoffdiffusionsbereich (8-8) und die kanalbildenden Bereiche (8-7, 8-10), die einen aktiven Bereich bilden, nicht in einer Linie angeordnet sind, um eine Prozeßtoleranz zu erhalten.

17. DRAM nach Anspruch 11, dadurch gekennzeichnet, daß sich der kanalbildende Bereich (8-7, 8-10) unter etwa 30° schräg zur zugehörigen Bitleitung (8-3) und unter etwa 60° schräg zur zugehörigen Wortleitung (8-16) erstreckt.

18. DRAM nach Anspruch 11, dadurch gekennzeichnet, daß der Vorsprung (8-12) jeder Bitleitung (8-3) sich nicht über die Linie hinaus erstreckt, die die Mitten der ersten Kontaktlöcher (8-2) zweier benachbarter Speicherzellen (8-9, 8-18) miteinander verbindet, die das zweite Kontaktloch (8-4) gemeinsam haben.

19. DRAM nach Anspruch 11, dadurch gekennzeichnet, daß jede Wortleitung in ihrem Abschnitt gleichförmige Breite aufweist, der in jedem zugehörigen kanalbildenden Bereich (8-7, 8-10) zweier zugehöriger, symmetrisch zueinander angeordneter aktiver Bereiche vorhanden ist, um eine Ausschaltcharakteristik beizubehalten, und daß sie in ihrem, dem ersten Fremdstoffdiffusionsbereich (8-6, 8-11) jeder benachbarten Speicherzelle nächstliegenden Abschnitt einen abgebogenen Abschnitt mit einer Breite aufweist, die sich so verändert, daß sie von den benachbarten aktiven Bereichen der benachbarten Speicherzellen einen vorgegebenen Abstand einhält.

20. DRAM nach Anspruch 11, dadurch gekennzeichnet, daß die Mitte des ersten Kontaktlochs (8-2) der Mitte des zugehörigen Kondensators entspricht.

21. DRAM nach Anspruch 11, dadurch gekennzeichnet, daß die Richtung, unter der sich der kanalbildende Bereich (8-7, 8-10) erstreckt, näherungsweise parallel zu einer diagonalen Linie ist, die den unteren linken und den oberen rechten Eckpunkt einer zugehörigen Speicherzelle (8-9, 8-18) miteinander verbindet.

22. DRAM nach Anspruch 21, dadurch gekennzeichnet, daß jede Speicherzelle innerhalb eines rechteckigen Bereichs (8-9, 8-18) ausgebildet ist, der dadurch festgelegt ist, daß die Mitten der Unterkanten von zwei zweiten diagonal nebeneinander liegenden Kontaktlöchern (8-4) miteinander verbunden werden.

23. DRAM nach Anspruch 11, dadurch gekennzeichnet, daß der abgebogene Abschnitt jeder Bitleitung (8-3) eine dem oberen Abschnitt des Vorsprungs (8-12) der benachbarten Bitleitung ähnliche Form aufweist.

24. Verfahren zum Anordnen von Speicherzellen eines DRAM mit einem Halbleitersubstrat mit mehreren aktiven Bereichen, die jeweils in jeder Speicherzelle angeordnet sind und einen ersten Fremdstoffdiffusionsbereich, einen zweiten Fremdstoffdiffusionsbereich, der zwei benachbarten Speicherzellen gemeinsam ist, und einen zwischen dem ersten und dem zweiten Fremdstoffdiffusionsbereich angeordneten kanalbildenden Bereich aufweisen, wobei die ersten Fremdstoffdiffusionsbereiche benachbarter aktiver Bereiche an Positionen angeordnet sind, die jeweils symmetrisch zum zweiten Fremdstoffdiffusionsbereich liegen, mehreren gleichförmig beabstandeten Wortleitungen, mehreren gleichförmig beabstandeten Bitleitungen, die rechtwinklig zu den Wortleitungen stehen und jeweils einen Vorsprung aufweisen, mehreren Stapelkondensatoren, die jeweils eine Speicherelektrode aufweisen, und einer isolierenden Schicht mit mehreren ersten Kontaktlöchern, von denen jedes die Speicherelektrode jedes Stapelkondensators und jeden zugehörigen ersten Fremdstoffdiffusionsbereich elektrisch anschließt, und mehreren zweiten Kontaktlöchern, von denen jedes jede Bitleitung und jeden zugehörigen zweiten Fremdstoffdiffusionsbereich elektrisch anschließt; dadurch gekennzeichnet, daß das Verfahren folgende Schritte aufweist:

- Auswählen der Positionen jedes Bitleitungsvorsprungs als Position jedes zweiten Fremdstoffdiffusionsbereichs in jedem zugehörigen aktiven Bereich;
- Bestimmen der Position des ersten Fremdstoffdiffusionsbereichs in einem von zwei benachbarten aktiven Bereichen in solcher Weise, daß sie einer von der Mittellinie jedes Bitleitungsvorsprungs in Längsrichtung der Speicherzelle um eine vorgegebene Entfernung und einen vorgegebenen Winkel beabstandeten Position entspricht;
- Bestimmen der Position des ersten Fremdstoffdiffusionsbereichs im anderen der zwei benachbarten aktiven Bereiche in solcher Weise, daß sie einer Position entspricht, die symmetrisch zur Position des ersten Fremdstoffdiffusionsbereichs in bezug auf die Mittellinie jedes Bitleitungsvorsprungs liegt;
- Bestimmen der Mitte jedes ersten Kontaktlochs und der Mitte jedes zweiten Kontaktlochs in solcher Weise, daß sie der Mitte jedes ersten Fremdstoffdiffusionsbereichs bzw. der Mitte jedes zweiten Fremdstoffdiffusionsbereichs entsprechen, und Bestimmen der Größe jedes ersten Kontaktlochs und der Größe jedes entsprechenden zweiten Kontaktlochs in solcher Weise, daß die zwei Kontaktlöcher von allen zu ihnen benachbart liegenden Wortleitungen und Bitleitungen einen vorgegebenen Abstand einhalten; und
- Bestimmen der Mitte des Stapelkondensators in solcher Weise, daß sie der Mitte jedes entsprechenden ersten Kontaktlochs entspricht, um dadurch die Position jedes Stapelkondensators in einem Bereich festzulegen, der durch zwei benachbarte Wortleitungen und zwei benachbarte Bitleitungen festgelegt wird.

25. Verfahren nach Anspruch 24, gekennzeichnet

durch einen Schritt des Anordnens jedes ersten Kontaktlochs in solcher Weise, daß seine Mitte nicht auf einer Linie angeordnet ist, die die Mitten von zwei zweiten Kontaktlöchern miteinander verbindet, die diagonal zueinander benachbart angeordnet sind.

26. Verfahren nach Anspruch 24, gekennzeichnet durch den weiteren Schritt des Anordnens des Vorsprungs in solcher Weise, daß die Mitte des Bitleitungsabschnitts, von dem der Vorsprung vorsteht, an der vorsprungsseitigen Kante des Hauptabschnitts der Bitleitung angeordnet ist.

27. Verfahren nach Anspruch 26, gekennzeichnet durch den weiteren Schritt des Anordnens des Vorsprungs in solcher Weise, daß er sich nicht über eine Linie hinaus erstreckt, die die Mitten erster Kontaktlöcher zweier benachbarter Speicherzellen miteinander verbindet, die in seitlicher Symmetrie zueinander angeordnet sind.

28. Verfahren nach Anspruch 24, dadurch gekennzeichnet, daß der vorgegebene Winkel etwa 30° ist.

Hierzu 12 Seite(n) Zeichnungen

F I G. 1

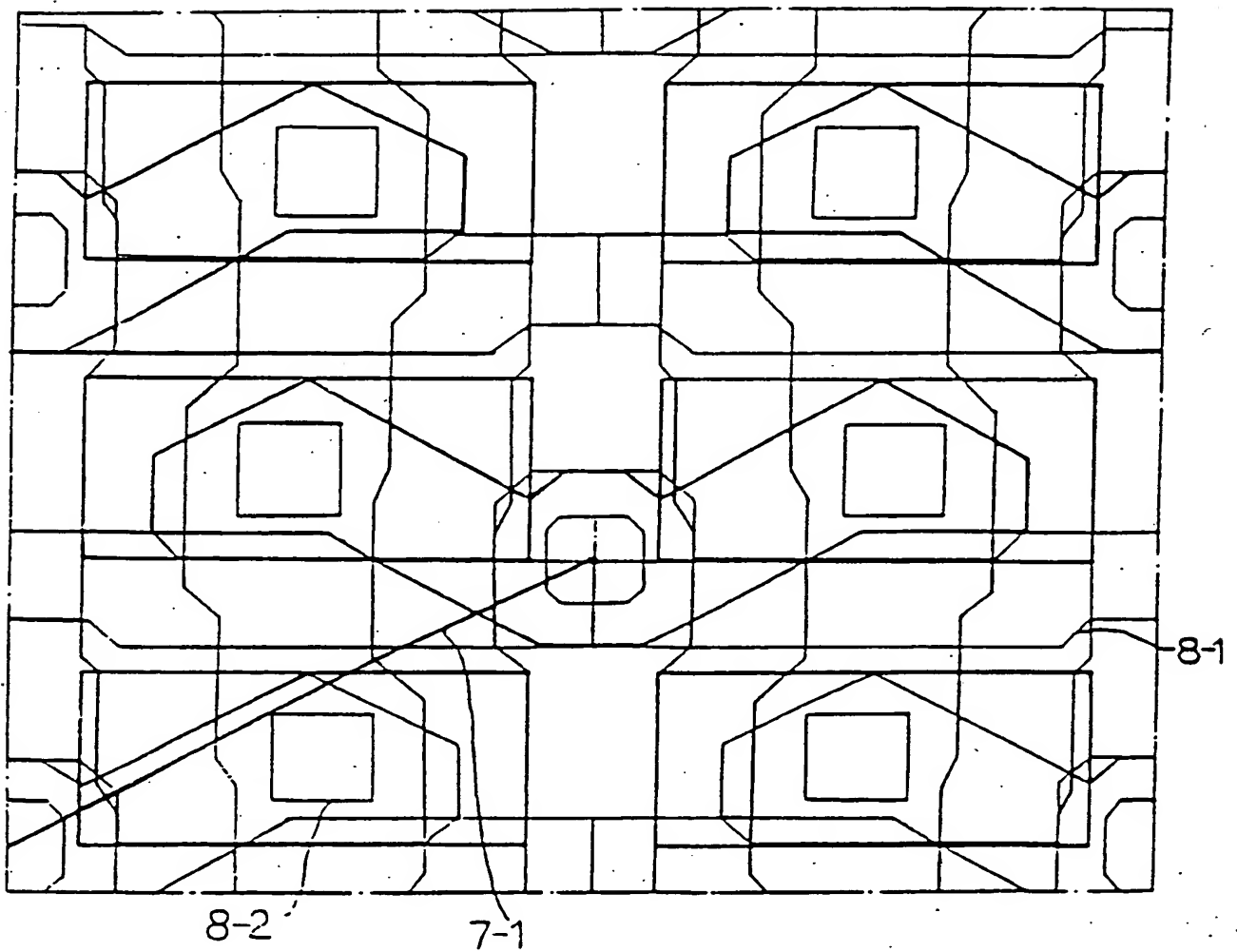
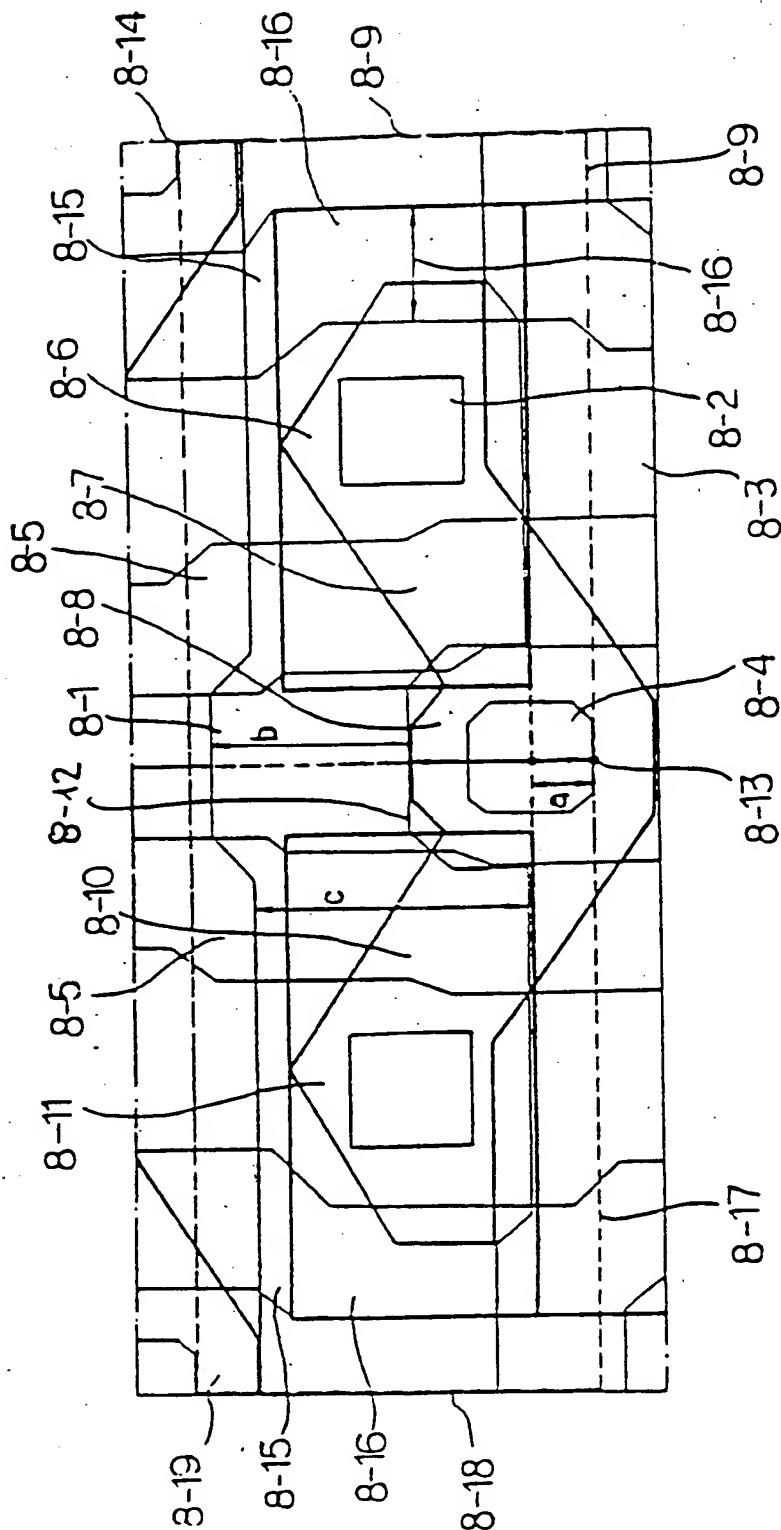


FIG. 2



F I G. 3

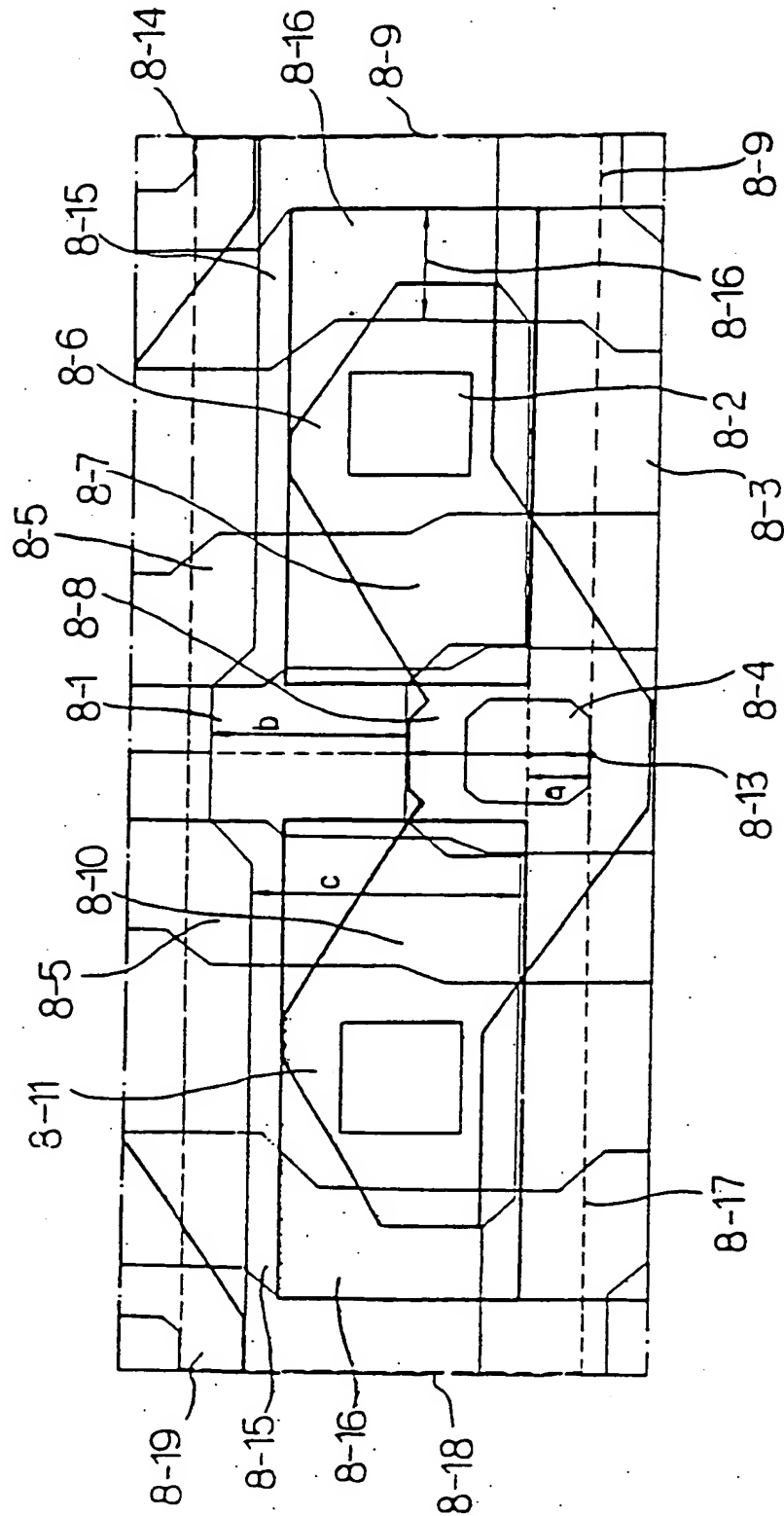


FIG. 4

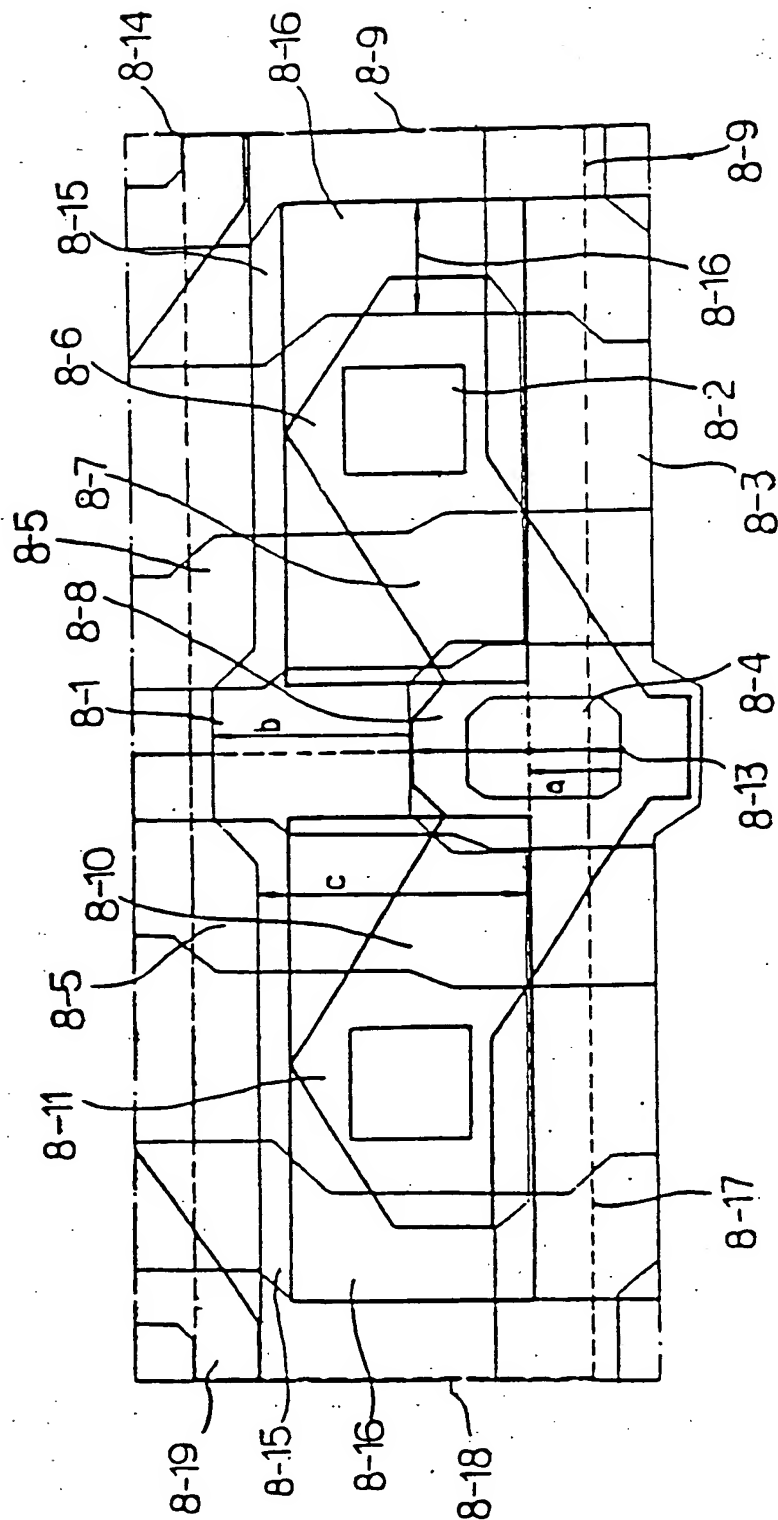
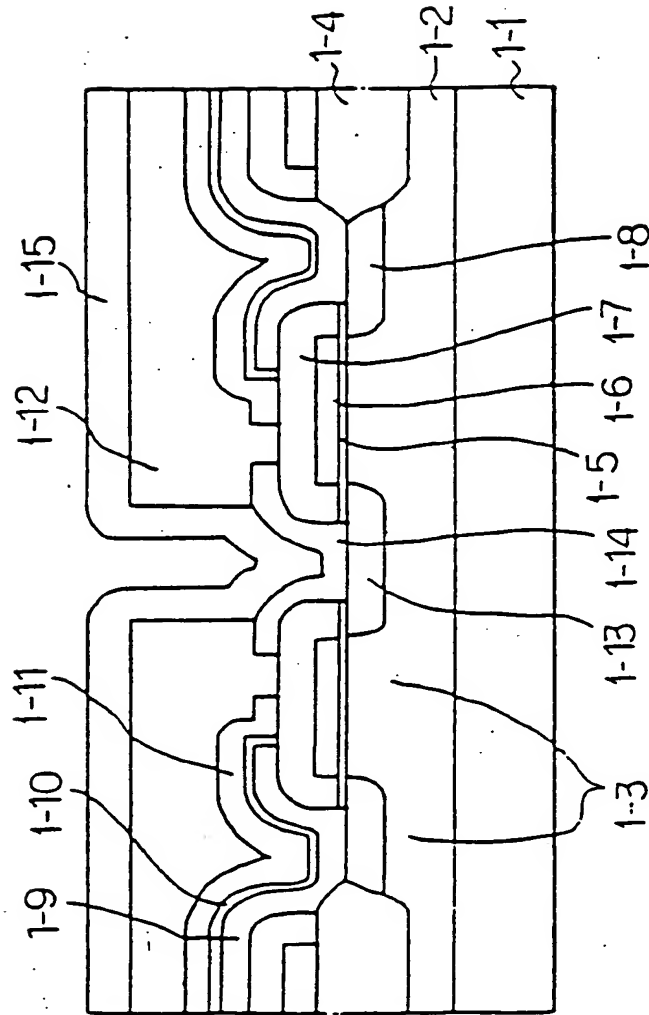


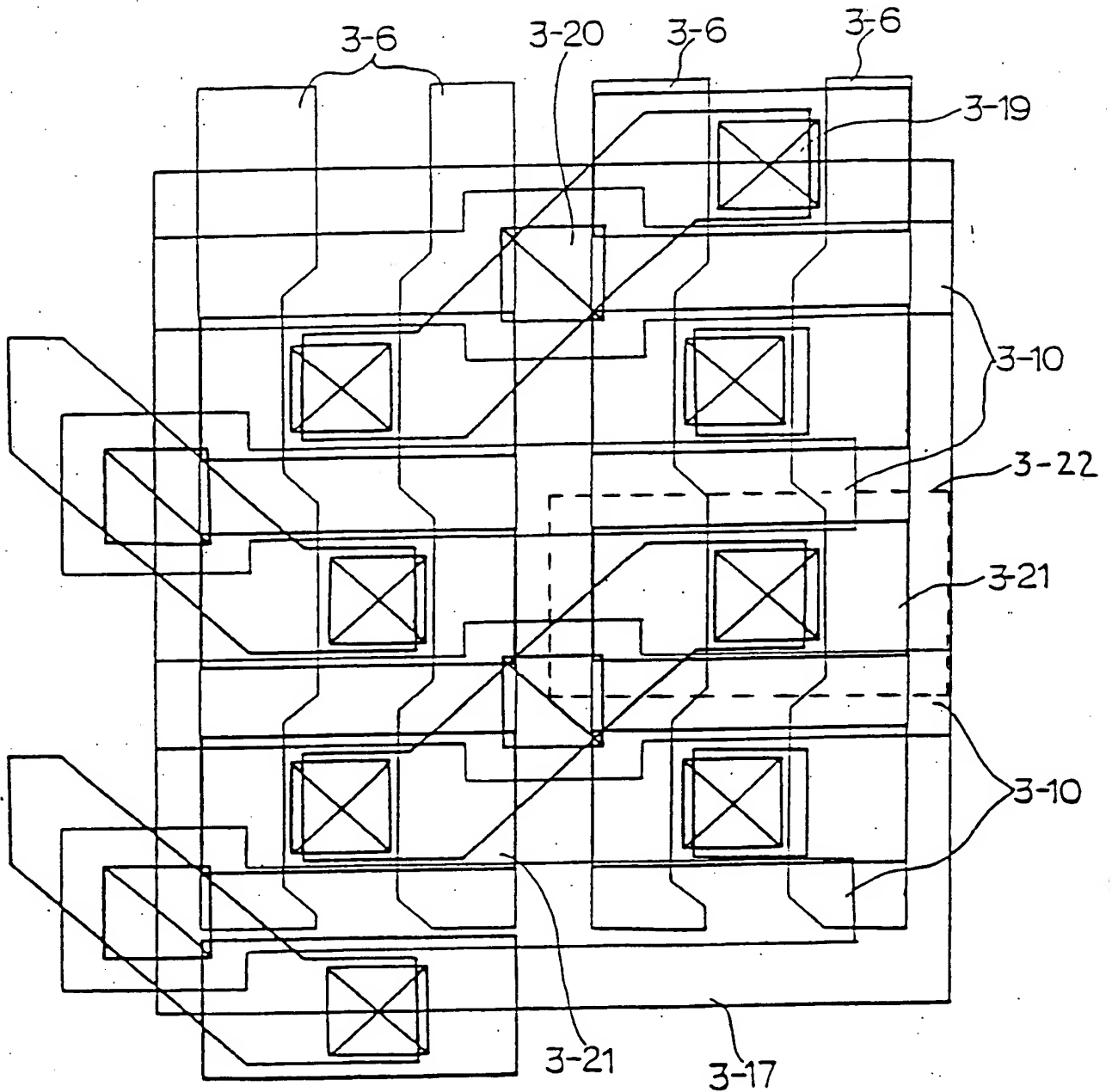
FIG. 5

STAND DER TECHNIK



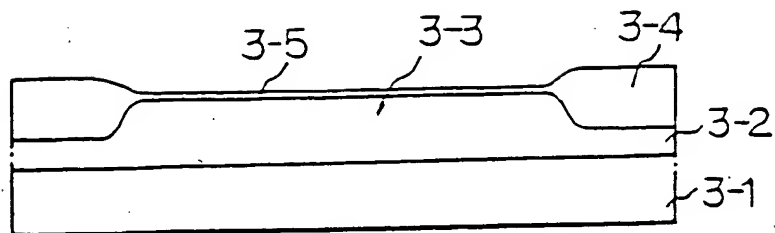
F I G. 6

STAND DER TECHNIK



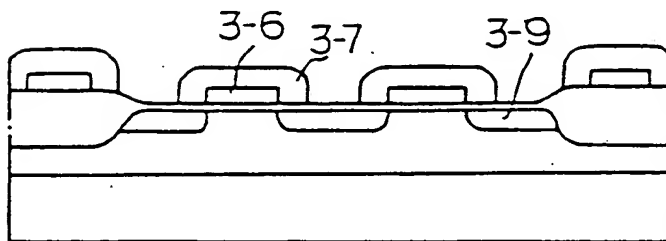
F I G. 7(A)

STAND DER TECHNIK



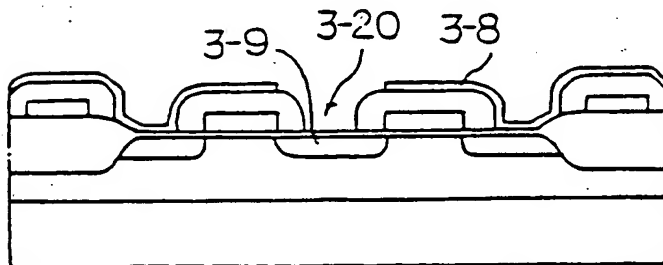
F I G. 7(B)

STAND DER TECHNIK



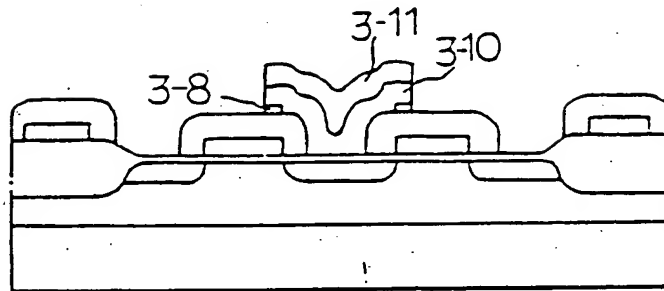
F I G. 7(C)

STAND DER TECHNIK



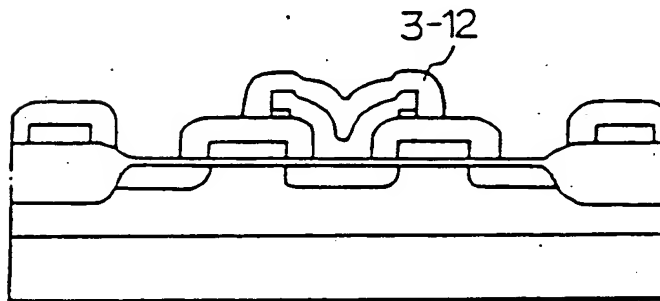
F I G. 7(D)

STAND DER TECHNIK



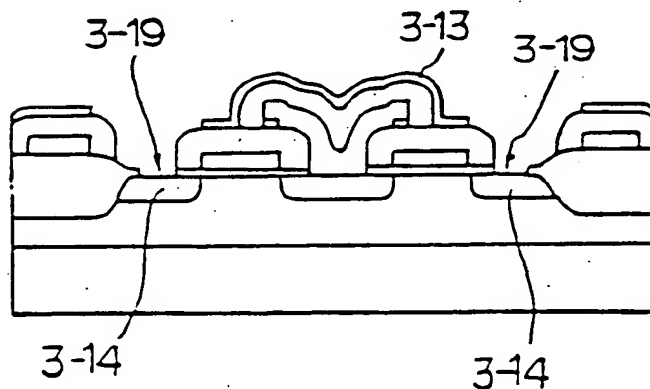
F I G. 7(E)

STAND DER TECHNIK



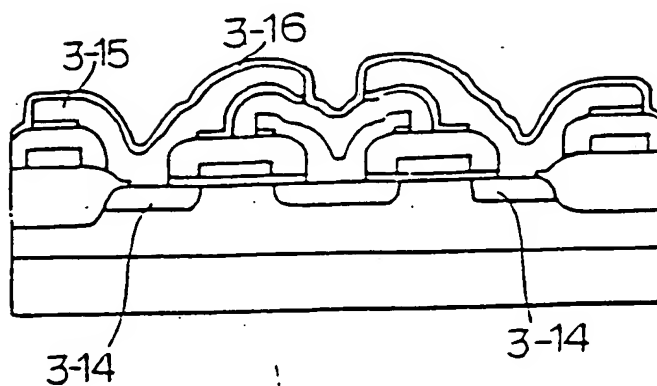
F I G. 7(F)

STAND DER TECHNIK



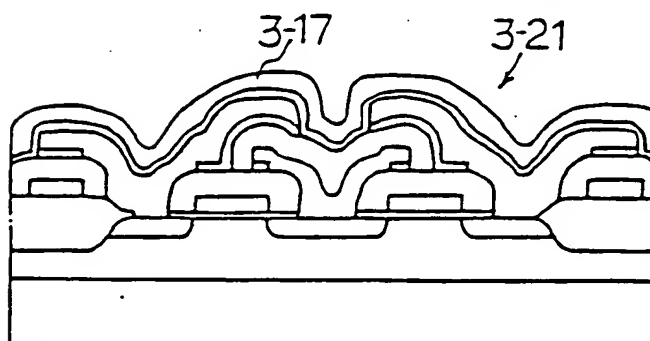
F I G. 7 (G)

STAND DER TECHNIK



F I G. 7 (H)

STAND DER TECHNIK



F I G. 7 (I)

STAND DER TECHNIK

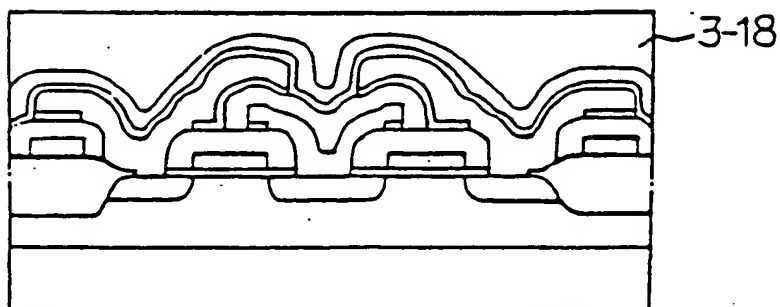


FIG. 8

STAND DER TECHNIK

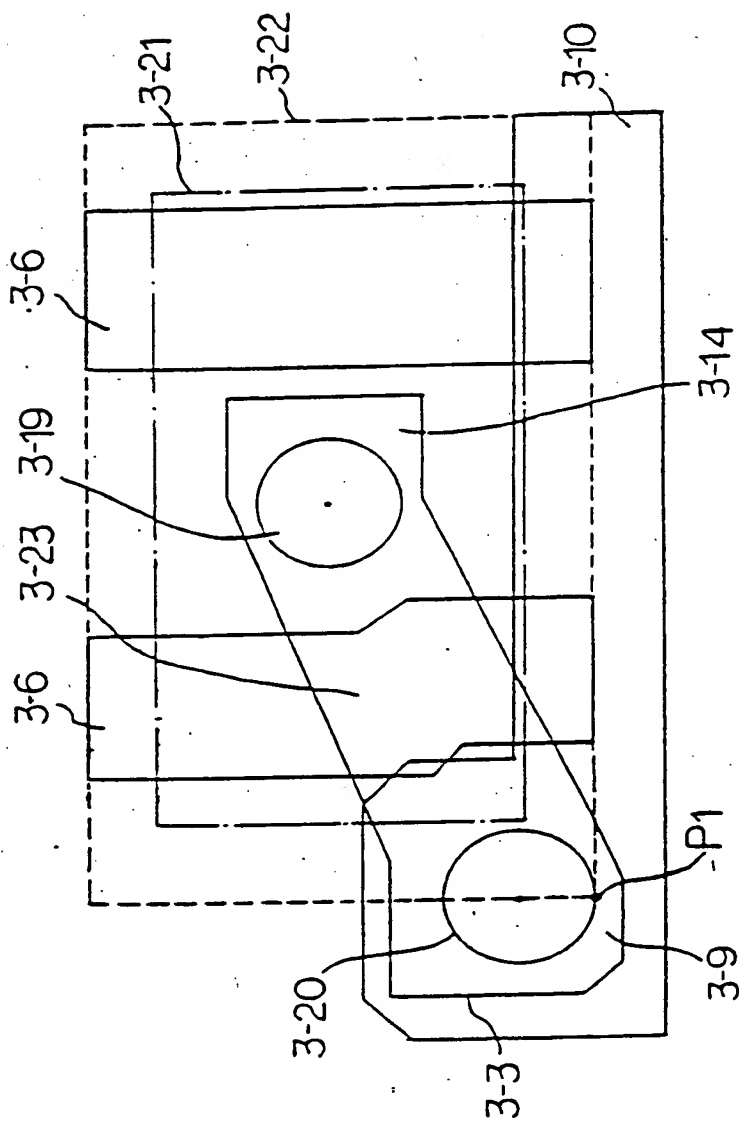
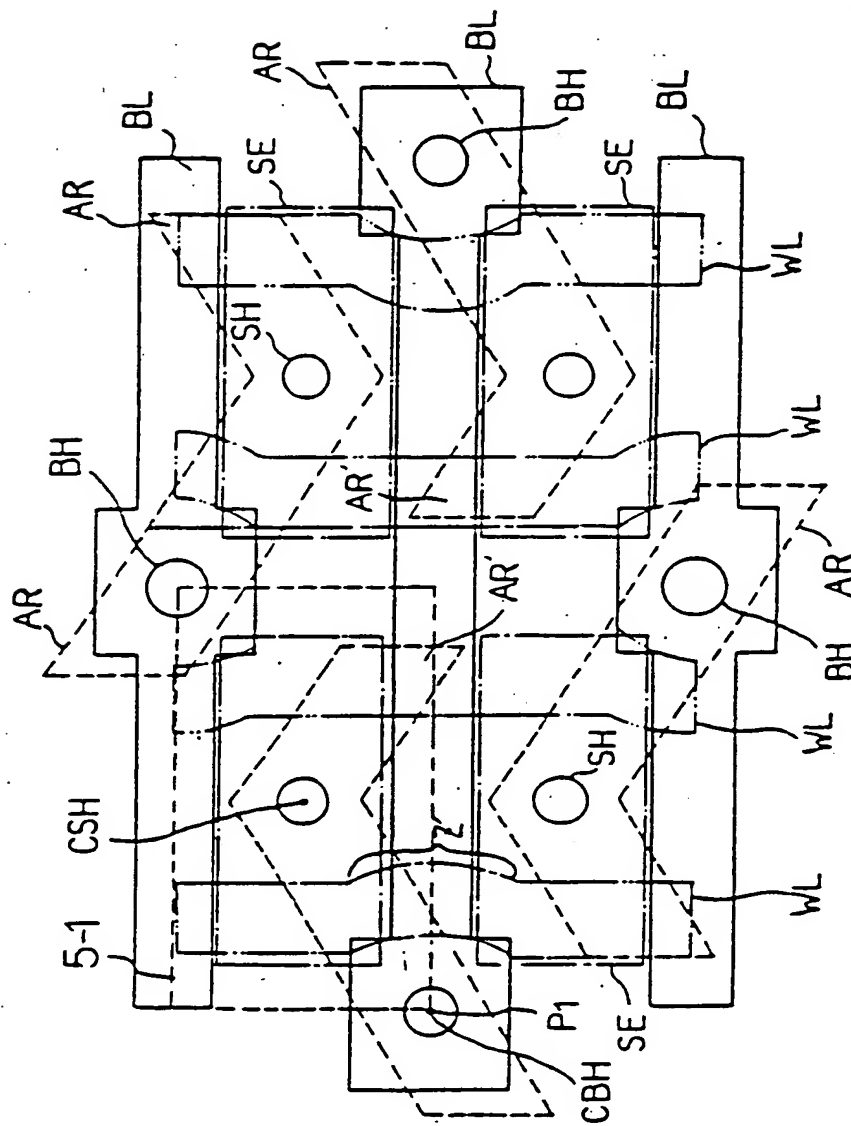


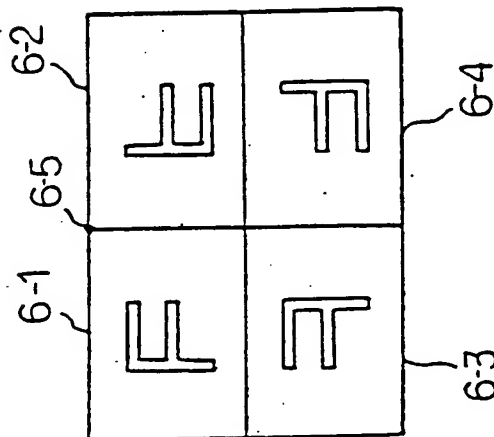
FIG. 9

STAND DER TECHNIK

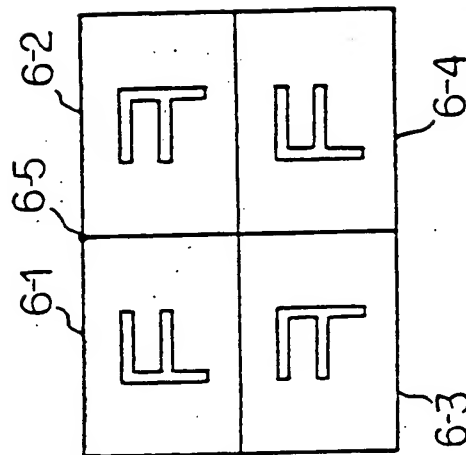


F I G. 10(A)

STAND DER TECHNIK



F I G. 10(B)



hier ist keine
Symmetrie oder Symme-
trie gegenüber der
Chip-Mittelachse
sichtbar, sondern
Symmetrie gegenüber der
Achse, die durch die
Speicherzellen verläuft.

Keine Lösung des
Anordnungsproblems.

Die rechts oben, jeweils einer technischen
Zeichnung 3-22 v. Fig. 6 oder
5-1 v. Fig. 8

Sie unterscheiden sich voneinander, jeweils eine Zeile, die
wie sie verläuft, in Fig. 8 steht ist